

## SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

**Patent number:** JP9045904  
**Publication date:** 1997-02-14  
**Inventor:** TAKENAKA NOBUYUKI  
**Applicant:** MATSUSHITA ELECTRONICS CORP  
**Classification:**  
- International: H01L29/78; H01L21/76  
- european:  
**Application number:** JP19950192914 19950728  
**Priority number(s):** JP19950192914 19950728

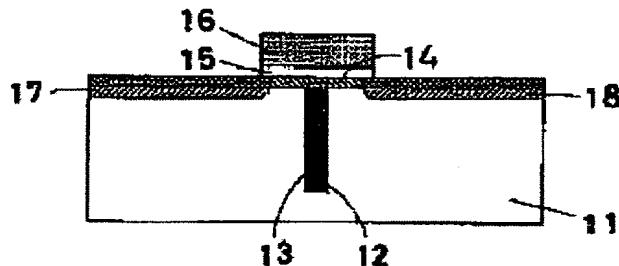
[Report a data error here](#)

### Abstract of JP9045904

**PROBLEM TO BE SOLVED:** To obtain a semiconductor device for completely suppressing punch through phenomenon even if the thinning of an element proceeds.

**SOLUTION:** An epitaxial silicon film 14 is formed on a silicon substrate 11, a source 17 and a drain 18 are formed on the epitaxial silicon film 14 and the silicon substrate 11, and a gate electrode 16 is formed on the epitaxial silicon film 14 via a gate insulation film 15.

Further, a groove 12 is provided at the silicon substrate 11 below the epitaxial silicon film 14 located at the lower portion of the gate electrode 16 and a partition 13 where an insulation film is buried into the groove 12 is formed. When a voltage which is equal to or more than a threshold is applied to the gate electrode 16, a channel region is formed at the epitaxial silicon film 14 and the partition 13 of the insulation film is formed directly below it, thus positively breaking a punch through current flowing in the silicon substrate 11 generated at a fine MOSFET.



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-45904

(43)公開日 平成9年(1997)2月14日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 29/78  
21/76

識別記号 庁内整理番号

F I  
H 0 1 L 29/78  
21/76技術表示箇所  
3 0 1 X  
L

審査請求 未請求 請求項の数7 O.L (全9頁)

(21)出願番号

特願平7-192914

(22)出願日

平成7年(1995)7月28日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 竹中 信之

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

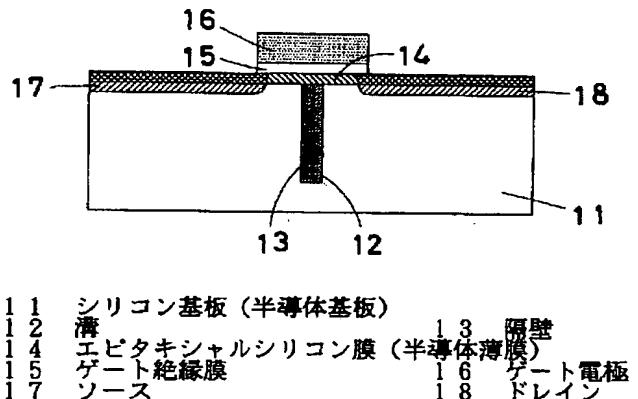
(74)代理人 弁理士 宮井 喜夫

## (54)【発明の名称】 半導体装置およびその製造方法

## (57)【要約】

【課題】 素子の微細化が進展してもパンチスルーハウジングを完全に抑制できる半導体装置を実現する。

【解決手段】 シリコン基板11上にエピタキシャルシリコン膜14を形成し、ソース17およびドレイン18をエピタキシャルシリコン膜14とシリコン基板11上に形成し、エピタキシャルシリコン膜14上にゲート絶縁膜15を介してゲート電極16を形成している。さらに、ゲート電極16下方にあたるエピタキシャルシリコン膜14下のシリコン基板11に溝12を設け、その溝12に絶縁膜を埋め込んだ隔壁13を形成している。ゲート電極16に閾値以上の電圧を印加したときにチャネル領域がエピタキシャルシリコン膜14に形成され、その直下に、絶縁膜の隔壁13を形成しているため、微細MOSFETで発生するシリコン基板11中を流れるパンチスルーハウジングを確実に遮断することができる。



## 【特許請求の範囲】

【請求項1】 一導電型の半導体基板上に形成した溝と、この溝に埋め込んだ絶縁体からなる隔壁と、この隔壁上および前記半導体基板上に形成した半導体薄膜と、この半導体薄膜を介して前記隔壁上に形成したゲート絶縁膜と、このゲート絶縁膜上に形成したゲート電極と、このゲート電極を挟む両側の少なくとも前記半導体薄膜中に形成した他導電型のソース・ドレインとを備えた半導体装置。

【請求項2】 隔壁は、絶縁体の内部に導電体を埋め込んだことを特徴とする請求項1記載の半導体装置。

【請求項3】 一導電型の半導体基板上の活性領域を取り巻くように形成した素子分離用の溝と、この素子分離用の溝に埋め込んだ絶縁体からなる素子分離用の隔壁と、前記活性領域内の半導体基板上に形成したパンチスルーホール用の溝と、このパンチスルーホール用の溝に埋め込んだ絶縁体からなるパンチスルーホール用の隔壁と、このパンチスルーホール用の隔壁上および前記半導体基板上に形成した半導体薄膜と、この半導体薄膜を介して前記パンチスルーホール用の隔壁上に形成したゲート絶縁膜と、このゲート絶縁膜上に形成したゲート電極と、このゲート電極を挟む両側の少なくとも前記半導体薄膜中に形成した他導電型のソース・ドレインとを備えた半導体装置。

【請求項4】 素子分離用の隔壁およびパンチスルーホール用の隔壁の少なくとも一方は、絶縁体の内部に導電体を埋め込んだことを特徴とする請求項3記載の半導体装置。

【請求項5】 素子分離用の隔壁の幅をパンチスルーホール用の隔壁の幅よりも広くしたことを特徴とする請求項3または4記載の半導体装置。

【請求項6】 一導電型の半導体基板上に溝を形成する工程と、前記溝に絶縁膜を埋め込む工程と、エピタキシャル成長により前記半導体基板上および前記絶縁膜上に半導体薄膜を形成する工程と、前記半導体薄膜を介して前記絶縁膜上にゲート絶縁膜およびゲート電極を順次積層形成する工程と、前記ゲート電極を挟む両側の少なくとも前記半導体薄膜中に他導電型のソース・ドレインを形成する工程とを含む半導体装置の製造方法。

【請求項7】 一導電型の半導体基板上の活性領域を取り巻く素子分離用の溝と前記活性領域内の半導体基板上に前記素子分離用の溝より幅の狭いパンチスルーホール用の溝とを形成する工程と、前記素子分離用の溝および前記パンチスルーホール用の溝に絶縁膜を埋め込む工程と、エピタキシャル成長により前記半導体基板上およびパンチスルーホール用の溝に埋め込んだ絶縁膜上の全面を覆いつつ前記素子分離用の溝に埋め込んだ絶縁膜上の一部分を覆うように半導体薄膜を形成する工程と、前記半導体薄膜を介して前記パンチスルーホール用の溝に埋め込んだ絶縁膜上にゲート絶縁膜およびゲート電極を形成する工程とを含む半導体装置の製造方法。

ト電極を順次積層形成する工程と、前記ゲート電極を挟む両側の少なくとも前記半導体薄膜中に他導電型のソース・ドレインを形成する工程とを含む半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、MOS型電界効果トランジスタ（以下「MOSFET」と記す）やMOSFETを集積化したMOS型集積回路（以下「MOSLSI」と記す）等の半導体装置およびその製造方法に関するものである。

## 【0002】

【従来の技術】 近年、MOSFETを集積化したMOSLSIの微細化の進展はめざましく、すでに0.5μmルールのLSIが量産されている。しかしながら、MOSLSIを構成するMOSFET、素子分離、配線等の微細化には種々の障害があり、従来のトレンドに沿ってMOSLSIの微細化を進めるのが難しくなっている。

## 【0003】

【発明が解決しようとする課題】 従来の半導体装置のMOSFETを微細化した場合、短チャンネル効果の抑制、特に図9に示すように、ソース1・ドレイン2間のパンチスルーホール電流（矢印Aで示す）を抑制するのが難しくなる。パンチスルーホール現象は、ソース1・ドレイン2間の距離を縮めた場合、ドレイン側の空乏層3とソース側の空乏層4とがつながり、ゲート電極5に電圧を印加しない状態（すなわちMOSFETがオフ状態）で漏れ電流が流れてしまう現象である。このパンチスルーホール現象を抑制するために、ドレイン領域の不純物拡散層の伝導型、濃度、拡散深さ等を精密に制御するいわゆるドレンエンジニアリングが提唱されているが、MOSFETの微細化がさらに進展した場合、ドレンエンジニアリングだけではパンチスルーホール現象を完全に止めることはできない。

【0004】 また、MOSLSIでは、これまで周知のLOCOS法を用いた選択酸化膜でMOSFET間を分離していたが、この方法の欠点として選択酸化膜部分がマスクサイズよりも横方向に拡がる問題（いわゆるバーゼビック部分の酸化膜の張り出し）がある。この問題を解決するためにトレンチ分離等、種々の方法が考案されているが、LOCOS法に比べてプロセスが大幅に複雑化し、製造コストがアップするという課題があった。

【0005】 この発明の目的は、素子の微細化が進展してもパンチスルーホール現象を完全に抑制できる半導体装置およびその製造方法を提供することである。また、この発明の他の目的は、素子の微細化が進展してもパンチスルーホール現象を完全に抑制できるとともに、プロセスを複雑化することなく微細な素子分離を実現できる半導体装置およびその製造方法を提供することである。

## 【0006】

【課題を解決するための手段】請求項1記載の半導体装置は、一導電型の半導体基板上に形成した溝と、この溝に埋め込んだ絶縁体からなる隔壁と、この隔壁上および半導体基板上に形成した半導体薄膜と、この半導体薄膜を介して隔壁上に形成したゲート絶縁膜と、このゲート絶縁膜上に形成したゲート電極と、このゲート電極を挟む両側の少なくとも半導体薄膜中に形成した他導電型のソース・ドレインとを備えている。

【0007】請求項2記載の半導体装置は、請求項1記載の半導体装置において、隔壁は、絶縁体の内部に導電体を埋め込んだことを特徴とする。請求項3記載の半導体装置は、一導電型の半導体基板上の活性領域を取り巻くように形成した素子分離用の溝と、この素子分離用の溝に埋め込んだ絶縁体からなる素子分離用の隔壁と、活性領域内の半導体基板上に形成したパンチスルーホール用の溝と、このパンチスルーホール用の溝に埋め込んだ絶縁体からなるパンチスルーホール用の隔壁と、このパンチスルーホール用の隔壁上および半導体基板上に形成した半導体薄膜と、この半導体薄膜を介してパンチスルーホール用の隔壁上に形成したゲート絶縁膜と、このゲート絶縁膜上に形成したゲート電極と、このゲート電極を挟む両側の少なくとも半導体薄膜中に形成した他導電型のソース・ドレインとを備えている。

【0008】請求項4記載の半導体装置は、請求項3記載の半導体装置において、素子分離用の隔壁およびパンチスルーホール用の隔壁の少なくとも一方は、絶縁体の内部に導電体を埋め込んだことを特徴とする。請求項5記載の半導体装置は、請求項3または4記載の半導体装置において、素子分離用の隔壁の幅をパンチスルーホール用の隔壁の幅よりも広くしたことを特徴とする。

【0009】請求項6記載の半導体装置の製造方法は、一導電型の半導体基板上に溝を形成する工程と、溝に絶縁膜を埋め込む工程と、エピタキシャル成長により半導体基板および絶縁膜上に半導体薄膜を形成する工程と、半導体薄膜を介して絶縁膜上にゲート絶縁膜およびゲート電極を順次積層形成する工程と、ゲート電極を挟む両側の少なくとも半導体薄膜中に他導電型のソース・ドレインを形成する工程とを含んでいる。

【0010】請求項7記載の半導体装置の製造方法は、一導電型の半導体基板上の活性領域を取り巻く素子分離用の溝と活性領域内の半導体基板上に素子分離用の溝より幅の狭いパンチスルーホール用の溝とを形成する工程と、素子分離用の溝およびパンチスルーホール用の溝に絶縁膜を埋め込む工程と、エピタキシャル成長により半導体基板上およびパンチスルーホール用の溝に埋め込んだ絶縁膜上の全面を覆いつつ素子分離用の溝に埋め込んだ絶縁膜上の一部分を覆うように半導体薄膜を形成する工程と、半導体薄膜を介してパンチスルーホール用の溝に埋め込んだ絶縁膜上にゲート絶縁膜およびゲート電極を順次積層形成する工程と、ゲート電極を挟む

両側の少なくとも半導体薄膜中に他導電型のソース・ドレインを形成する工程とを含んでいる。

【0011】この発明によれば、ゲート電極下方の半導体薄膜にチャンネルが形成されるが、そのチャンネルの直下に絶縁体からなる隔壁を形成することによって、素子の微細化が進展してもソース・ドレイン間を流れるパンチスルーホール電流を完全に抑止することができる。また、チャンネルの直下の隔壁を、絶縁体の内部に導電体を埋め込んだ構成とすることにより、ドレイン空乏層の電気力線が導電体で遮断され、ソース側に伝搬しないので、パンチスルーホール電流をより完全に抑止することができる。

【0012】さらに、チャンネルの直下に形成したパンチスルーホール電流阻止用の隔壁と、それと同様の隔壁を素子分離用として形成することによって、素子の微細化が進展してもパンチスルーホール電流を完全に抑制できるとともに、プロセスを複雑化することなく微細な素子分離を実現することができる。また、素子分離用の隔壁を、絶縁体の内部に導電体を埋め込んだ構成とし、導電体を固定電位に接続することにより、絶縁体と半導体基板との界面の電位が安定し、素子分離能力が高められる。

### 【0013】

【発明の実施の形態】以下、この発明の半導体装置における第1の実施の形態について、図面を参照しながら説明する。図1は、この発明の半導体装置の第1の実施の形態における断面図であり、Nチャンネル型MOSFETに適用した場合の要部断面図を示す。図1において、11はP型シリコン基板（半導体基板）、12は溝、13は溝12に形成した絶縁膜からなる隔壁、14はエピタキシャルシリコン膜（半導体薄膜）、15はゲート絶縁膜、16はゲート電極、17はN型不純物拡散層からなるソース、18はN型不純物拡散層からなるドレインである。

【0014】図1に示したこの実施の形態のMOSFETは、シリコン基板11上にエピタキシャルシリコン膜14を形成し、ソース17およびドレイン18をエピタキシャルシリコン膜14とシリコン基板11上に形成し、エピタキシャルシリコン膜14上にゲート絶縁膜15を介してゲート電極16を形成している。さらに、ゲート電極16下方にあたるエピタキシャルシリコン膜14下のシリコン基板11に溝12を設け、その溝12に絶縁膜を埋め込んだ隔壁13を形成している。

【0015】この実施の形態によれば、ゲート電極16に閾値以上の電圧を印加した時に表面反転層（チャンネル領域）がエピタキシャルシリコン膜14に形成され、その直下に、絶縁膜の隔壁13が形成されているのが特徴であり、この隔壁13の存在により微細MOSFETで発生するシリコン基板11中を流れるパンチスルーホール電流を確実に遮断することができる。シリコン基板11中を流れるパンチスルーホール電流を抑止する力は隔壁13の深さに依存しており、シ

リコン基板11の不純物濃度等にもよるが、隔壁13の深さとしては約 $1\text{ }\mu\text{m}$ 以上あることが望ましい。

【0016】また、シリコン基板11上および隔壁13上に形成されたエピタキシャルシリコン膜14は上記の表面反転層以上の厚さであれば、できるだけ薄い方がゲート絶縁膜15の直下を流れる表面パンチスルーレ電流を抑止する力が強い。エピタキシャルシリコン膜14の不純物濃度にもよるが、図1に示したこの実施の形態の場合、エピタキシャルシリコン膜14の膜厚は約 $0.1\text{ }\mu\text{m} \sim 0.2\text{ }\mu\text{m}$ である。

【0017】また、隔壁13上のエピタキシャルシリコン膜14は、シリコン基板11上に選択的に成長したエピタキシャルシリコン膜14が横方向に成長した膜であるが、シリコン基板11上のエピタキシャルシリコン膜14よりも膜質が悪くなるので、隔壁13の幅はできるだけ狭くするのが望ましい。図1に示したこの実施の形態の場合、ゲート電極16の幅（ゲート長）が約 $0.5\text{ }\mu\text{m}$ にあるのに対して、隔壁13の幅は約 $0.15\text{ }\mu\text{m}$ であるが、製造プロセスをもっと工夫すれば、さらに狭くすることは可能である。

【0018】また、図1に示した実施の形態では、ソース17、ドレイン18となるN型不純物拡散層は、エピタキシャルシリコン膜14およびシリコン基板11表面上に形成されているが、このN型不純物拡散層の深さがエピタキシャルシリコン膜14の膜厚以下、すなわちソース17、ドレイン18がエピタキシャルシリコン膜14にのみ形成されていても、この発明の効果が大きく変わることはない。

【0019】次に、この発明の半導体装置における第2の実施の形態について、図面を参照しながら説明する。図2は、この発明の半導体装置の第2の実施の形態における断面図であり、Nチャンネル型MOSFETに適用した場合の要部断面図を示す。図2において、11はP型シリコン基板（半導体基板）、12は溝、14はエピタキシャルシリコン膜（半導体薄膜）、15はゲート絶縁膜、16はゲート電極、17はN型不純物拡散層からなるソース、18はN型不純物拡散層からなるドレイン、19は絶縁膜、20はポリシリコン膜からなる導電体である。

【0020】図2に示した第2の実施の形態は、パンチスルーレ電流を隔壁で遮断する点は図1の実施の形態と同じであるが、溝12に埋め込んだ隔壁が、絶縁膜19の内部に導電体20を形成している点が異なっている。図1に示した隔壁13は絶縁膜単体で形成されており、パンチスルーレ電流の経路を遮断する効果を有するが、ドレイン空乏層が隔壁13まで到達した場合に、空乏層の電気力線を遮ることはできず、隔壁13中を透過した電気力線はソース側にまで拡がることになる。一方、図2に示した隔壁は絶縁膜19で覆われた導電体20で形成されているので、ドレイン空乏層が隔壁まで到達したとし

ても、導電体20によって空乏層の電気力線を遮断することが可能となる。このため、ドレイン空乏層の電気力線はソース側に伝搬しないので、ソース・ドレイン間のパンチスルーが発生することは絶無である。導電体20が電気力線を遮断する力は、導電体20の伝導度に依存しており、低抵抗ほど遮断する力が強い。図2に示したこの実施の形態の場合、導電体20を構成するポリシリコン膜の不純物濃度は約 $10^{20}\text{ cm}^{-3}$ としているので、電気伝導度は約 $1\text{ m}\Omega \cdot \text{cm}$ 以下である。

【0021】また、図2に示した実施の形態において、隔壁の深さ、幅およびエピタキシャルシリコン膜14の膜厚、さらにソース17、ドレイン18の深さについての要件は図1に示した実施の形態と同じである。次に、この発明の半導体装置における第3の実施の形態について、図面を参照しながら説明する。

【0022】図3は、この発明の半導体装置の第3の実施の形態における断面図であり、MOSLSIに適用した場合のNチャンネル型のMOSFETと素子分離部分について示した要部断面図である。図3において、11はP型シリコン基板（半導体基板）、14はエピタキシャルシリコン膜（半導体薄膜）、15はゲート絶縁膜、16はゲート電極、17はN型不純物拡散層からなるソース、18はN型不純物拡散層からなるドレイン、21は第2の溝（素子分離用の溝）、22は第1の溝（パンチスルーレ電流阻止用の溝）、23は絶縁膜からなる第2の隔壁（素子分離用の隔壁）、24は絶縁膜からなる第1の隔壁（パンチスルーレ電流阻止用の隔壁）である。

【0023】図3に示すこの実施の形態では、第2の溝21と第2の隔壁23はMOSFETの活性領域を取り巻くように形成されており、隣接するMOSFET間を電気的に分離する素子分離領域の役割を果たす。この素子分離領域の幅は第2の溝21の幅で決定され、周知のLOCOS法で発生するバーズビークがないので、最小幅の素子分離を実現できる。また、隣接する素子の間隔は少なくとも隔壁の深さの2倍は確保できるので分離能力は非常に高い。次に、第1の溝22と第1の隔壁24は、MOSFETを取り巻く第2の溝21を分断するよう形成されており、この第1の隔壁24の役割については図1に示した実施の形態の場合と全く同じである。この第2の隔壁23と第1の隔壁24は役割は異なるが、図3に示すように断面の形状（幅、深さ）を同じにすることは可能である。図3に示すこの実施の形態の場合、それぞれの隔壁23、24は、幅が約 $0.15\text{ }\mu\text{m}$ で、深さが約 $1\text{ }\mu\text{m}$ である。

【0024】このようにこの実施の形態によれば、素子分離用の第2の溝21と第2の隔壁23は、MOSFETのパンチスルーレ電流阻止用の第1の溝22と第1の隔壁24と同時に形成することができる。バーズビークのない且つ分離能力の優れた非常に狭い素子分離がプロセスステップ数を増やすことなく、低コストで可

能となり、パンチスルーレ電流を抑制できる微細なMOSFETとプロセスを複雑化しない微細な素子分離を有する高密度MOSLSIを実現できる。

【0025】また、エピタキシャルシリコン膜14は第1の隔壁24とシリコン基板11上には形成されているが、隣接するMOSFET間を電気的に絶縁するため、図3に示すように、素子分離となる第2の隔壁23上ではエピタキシャルシリコン膜14同士が連結されてないようになる必要がある。図3においては第2の隔壁23の幅分だけエピタキシャルシリコン膜14が分断されているが、これは電気的に絶縁される幅であれば、第2の隔壁23の幅以上であっても、幅以下であっても一向に差し支えない。

【0026】また、図3に示すこの実施の形態において、エピタキシャルシリコン膜14の膜厚、さらにソース17、ドレイン18の深さについての要件は図1に示した実施の形態と同じである。次に、この発明の半導体装置における第4の実施の形態について、図面を参照しながら説明する。

【0027】図4は、この発明の半導体装置の第4の実施の形態における断面図であり、MOSLSIに適用した場合のNチャンネル型のMOSFETと素子分離部分について示した要部断面図である。図4において、11はP型シリコン基板(半導体基板)、14はエピタキシャルシリコン膜(半導体薄膜)、15はゲート絶縁膜、16はゲート電極、17はN型不純物拡散層からなるソース、18はN型不純物拡散層からなるドレイン、21は第2の溝(素子分離用の溝)、22は第1の溝(パンチスルーレ電流阻止用の溝)、25は絶縁膜、26は導電体である。

【0028】図4に示すこの実施の形態のMOSLSIにおいて、図3に示す実施の形態との違いは、図3に示す実施の形態では、隔壁23、24が絶縁膜単層であるのに対して、図4に示すこの実施の形態では、溝21、22に埋め込んだ隔壁が、絶縁膜25の内部に導電体26を形成している点である。なお、図4に示すこの実施の形態のMOSLSIにおいて、MOSFET部分は図2に示した実施の形態と同じ構成なので、その部分の構成要素の要件は図2の実施の形態と全く同じである。

【0029】図4に示したこの実施の形態の場合、図3に示した実施の形態の効果に加え、第2の溝21に形成された導電体26をMOSLSI中の固定電位(例えば接地電位)に接続すれば、絶縁膜25とシリコン基板11界面の電位が安定するので、素子分離能力がさらに高められることになる。また、図2に示した実施の形態の効果が得られるることは言うまでもない。

【0030】次に、この発明の半導体装置における第5の実施の形態について、図面を参照しながら説明する。図5は、この発明の半導体装置の第5の実施の形態における断面図であり、MOSLSIに適用した場合のNチ

ヤンネル型のMOSFETと素子分離部分について示した要部断面図である。図5において、11はP型シリコン基板(半導体基板)、14はエピタキシャルシリコン膜(半導体薄膜)、15はゲート絶縁膜、16はゲート電極、17はN型不純物拡散層からなるソース、18はN型不純物拡散層からなるドレイン、27は幅の狭い第1の溝(パンチスルーレ電流阻止用の溝)、28は幅の広い第2の溝(素子分離用の溝)、29は絶縁膜からなる第1の隔壁(パンチスルーレ電流阻止用の隔壁)、30は絶縁膜からなる第2の隔壁(素子分離用の隔壁)である。

【0031】図5に示したこの実施の形態のMOSLSIは、図3に示したMOSLSIと基本的には同じ構成である。但し、図3の実施の形態の場合、素子分離用の溝21とMOSFET部分のパンチスルーレ電流阻止用の溝22は同じ幅であるが、図5に示したこの実施の形態の場合、素子分離用の溝28の方がMOSFET部分のパンチスルーレ電流阻止用の溝27よりも幅が広く形成されている点で異なっている。

【0032】図5に示したこの実施の形態の場合、第1の溝27の幅は約0.15μmであるのに対して、第2の溝28の幅は約0.6μmである。この第2の溝28の幅の最適値は、エピタキシャルシリコン膜14をシリコン基板11と第1の隔壁29上に成長させたときに、エピタキシャルシリコン膜14の横方向成長によって、第2の隔壁30上においてエピタキシャルシリコン膜14同士が接続されないために必要な最小幅である。図5に示したこの実施の形態の場合、エピタキシャルシリコン膜14の膜厚は約0.2μmであり、エピタキシャルシリコン14膜の横方向成長はその膜厚とほぼ同程度であるので、第2の溝28の幅(すなわち第2の隔壁30の幅)は約0.5μm以上あれば良いことになるが、この実施の形態では余裕をもって、第2の溝28の幅は0.6μmとした。このように、図5に示したこの実施の形態では、エピタキシャルシリコン膜14をシリコン基板11上と第1の隔壁29上にのみ選択的に成長し、第2の隔壁30上の全面には成長しないように、それぞれの隔壁29、30の幅を適正化することで、図3に示した実施の形態に比べて、素子分離用の隔壁30上のエ

40 ピタキシャルシリコン膜14を除去する工程が不要になる分、さらにプロセスステップ数を短縮することができる。

【0033】次に、この発明の半導体装置における第6の実施の形態について、図面を参照しながら説明する。図6は、この発明の半導体装置の第6の実施の形態における断面図であり、MOSLSIに適用した場合のNチャンネル型のMOSFETと素子分離部分について示した要部断面図である。図6において、11はP型シリコン基板(半導体基板)、14はエピタキシャルシリコン膜(半導体薄膜)、15はゲート絶縁膜、16はゲート

電極、17はN型不純物拡散層からなるソース、18はN型不純物拡散層からなるドレイン、27は幅の狭い第1の溝（パンチスルーホール用の溝）、28は幅の広い第2の溝（素子分離用の溝）、31は絶縁膜、32は第1の溝27に埋め込まれた導電体、33は第2の溝28に埋め込まれた導電体である。

【0034】図6に示したこの実施の形態のMOSLSIは、基本的に図4のMOSLSIと同じ構成であるが、図4の実施の形態の場合、素子分離用の溝21とMOSFET部分のパンチスルーホール用の溝22は同じ幅であるのに対して、図6に示したこの実施の形態の場合、素子分離用の溝28の方がMOSFET部分のパンチスルーホール用の溝27よりも幅が広く形成されている点で異なっている。

【0035】なお、図6において、絶縁膜31で覆われた導電体32、33からなる隔壁の要件は図4に示した実施の形態と同じであり、また第2の溝28の幅が第1の溝27の幅よりも広い点に関する要件は図5の実施の形態と同じである。したがって、この図6に示す実施の形態では、図4の効果に加え、図5の効果が得られるることは言うまでもない。

【0036】なお、図4、図6の実施の形態では、素子分離用の隔壁およびパンチスルーホール用の隔壁の両方が、絶縁膜の内部に導電体を形成している構成としたが、どちらか一方が絶縁膜の内部に導電体を形成し、他方を絶縁膜のみで形成してもよいことは言うまでもない。次に、この発明の半導体装置の製造方法の第1の実施の形態について、図面を参照しながら説明する。

【0037】図7は、この発明の半導体装置の製造方法の第1の実施の形態における工程順断面図であり、この発明の半導体装置の製造方法をMOSLSIに適用した場合を示す。まず、図7(a)に示すように、シリコン基板11上に膜厚約300nmの第1のCVD酸化膜34を周知の方法で形成し、次にフォトリソグラフィー技術にて溝形成部分の第1のCVD酸化膜34を約0.5μmの幅で除去する。次に、第1のCVD酸化膜34を取り除いたシリコン基板11表面と第1のCVD酸化膜34の表面および側壁に、膜厚約200nmの第2のCVD酸化膜を形成し、全面に異方性エッチングを施して、第1のCVD酸化膜34の側壁に第2のCVD酸化膜からなるサイドウォール35を形成する。この状態でサイドウォール35間の間隔は約0.15μmであった。次に、第1のCVD酸化膜34とサイドウォール35をマスクにして、シリコン基板11を異方性エッチングして、深さ約1μmの素子分離用の第2の溝21およびパンチスルーホール用の第1の溝22を形成する。

【0038】次に、図7(b)に示すように、エッティングマスクとして使用した第1のCVD酸化膜34およびサイドウォール35を除去した後、シリコン基板11上および溝21、22中に膜厚約200nmの第3のCVD

D酸化膜を形成し、その後、異方性エッチングにてシリコン基板11上に形成された第3のCVD酸化膜を除去して、溝21、22中に第3のCVD酸化膜からなる素子分離用の第2の隔壁23およびパンチスルーホール用の第1の隔壁24を形成する。次に、シリコン基板11および隔壁23、24上にCVD法にて膜厚約0.2μmのエピタキシャルシリコン膜14を形成する。

【0039】このエピタキシャル成長時、まず成長初期にシリコン基板11上にのみ選択的にエピタキシャルシリコン膜14が成長するようCVD条件を適正化する。図7に示したこの実施の形態の場合、ガスの体積比(SiH<sub>4</sub>ガスの体積:HClガスの体積)が(5:1)～(10:1)程度、成長温度が約950度の条件下シリコンの選択成長が実現できた。次のステップで、エピタキシャルシリコン膜14が隔壁23、24上に横方向成長するようCVD条件を適正化する。この実施の形態の場合、上記の選択成長条件で横方向成長が実現できた。最終的には膜厚約0.2μmのエピタキシャルシリコン膜14を成長させたときに、隔壁23、24の全面が横方向に成長したエピタキシャルシリコン膜14で完全に覆われるようCVD条件を設定する。

【0040】次に、図7(c)に示すように、第2の隔壁23上部分のエピタキシャルシリコン膜14を周知のフォトリソグラフィー技術で除去する。図7(c)では隔壁23直上のエピタキシャルシリコン膜14だけが除去されているが、第2の隔壁23上を含むもっと幅広い領域のエピタキシャルシリコン膜14が除去されても一向に差し支えない。

【0041】次に、図7(d)に示すように、エピタキシャルシリコン膜14上に膜厚約10nmの酸化膜からなるゲート絶縁膜15と、その上に膜厚約300nmのリンをドープしたポリシリコン膜からなるゲート電極16を形成する。次に、ゲート電極16をマスクにして、エピタキシャルシリコン膜14中に、Asイオンを加速電圧20keV、ドーズ量5×10<sup>15</sup>c m<sup>-2</sup>の条件下注入し、約850度でアニールしてN型不純物拡散層であるソース17とドレイン18を形成することでMOSLSIが完成する。このMOSLSIは、図3と同じものである。

【0042】このようにこの実施の形態によれば、素子分離用の第2の溝21と第2の隔壁23は、MOSFETのパンチスルーホール用の第1の溝22と第1の隔壁24と同時に形成するので、プロセスステップ数を増やすことなく、微細なMOSFETと微細な素子分離を有する高密度MOSLSIを実現できる。なお、図7(d)に示したこの実施の形態の場合、ソース17、ドレイン18となるN型不純物拡散層をシリコン基板11表面まで形成しているが、ソース17、ドレイン18となるN型不純物拡散層の拡散深さはエピタキシャルシリコン膜14の膜厚以下であっても差し支えない。

11

【0043】次に、この発明の半導体装置の製造方法の第2の実施の形態について、図面を参照しながら説明する。図8は、この発明の半導体装置の製造方法の第2の実施の形態における工程順断面図であり、この発明の半導体装置の製造方法をMOSLSIに適用した場合を示す。

【0044】まず、図8(a)に示すように、シリコン基板11上に膜厚約300nmの第1のCVD酸化膜34を周知の方法で形成し、次にフォトリソグラフィー技術にて第1の溝27形成部分の第1のCVD酸化膜34を約0.5μmの幅で除去するとともに、第2の溝28形成部分の第1のCVD酸化膜34を約1μm弱の幅で除去する。次に、第1のCVD酸化膜34を取り除いたシリコン基板11表面と第1のCVD酸化膜34の表面および側壁に、膜厚約200nmの第2のCVD酸化膜を形成し、全面に異方性エッティングを施して、第1のCVD酸化膜34の側壁に第2のCVD酸化膜からなるサイドウォール35を形成する。この状態でサイドウォール35間の間隔は第1の溝27形成部分で約0.15μm、第2の溝28形成部分で約0.6μmであった。次に、第1のCVD酸化膜34とサイドウォール35をマスクにして、シリコン基板11を異方性エッティングして、幅約0.15μm、深さ約1μmのパンチスルーエ電流阻止用の第1の溝27と、幅約0.6μm、深さ約1μmの素子分離用の第2の溝28とを形成する。

【0045】次に、図8(b)に示すように、エッチングマスクとして使用した第1のCVD酸化膜34およびサイドウォール35を除去した後、シリコン基板11上および溝27, 28中に膜厚約400nmの第3のCVD酸化膜を形成し、その後、異方性エッチングにてシリコン基板11上に形成された第3のCVD酸化膜を除去して、溝27, 28中に第3のCVD酸化膜からなるパンチスルーカーボン電流阻止用の幅の狭い第1の隔壁29および素子分離用の幅の広い第2の隔壁30を形成する。次に、シリコン基板11および隔壁29, 30上にCVD法にて膜厚約0.2μmのエピタキシャルシリコン膜14を形成する。

【0046】このエピタキシャル成長時、まず成長初期には、シリコン基板11上にのみ選択的にエピタキシャルシリコン膜14が成長するようにCVD条件を適正化する。図8に示したこの実施の形態の場合、ガスの体積比(SiH<sub>4</sub>ガスの体積:HClガスの体積)が(5:1)~(10:1)程度、成長温度が約950度の条件でシリコンの選択成長が実現できた。次のステップで、エピタキシャルシリコン膜14が隔壁29, 30上に横方向成長するようにCVD条件を適正化する。この実施の形態の場合、上記の選択成長条件で横方向成長が実現できた。最終的には膜厚約0.2μmのエピタキシャルシリコン膜14を成長させたときに、幅の狭い第1の隔壁29の全面が横方向に成長したエピタキシャルシリコ

12

ン膜14で完全に覆われ、且つ幅の広い第2の隔壁30上は端部が横方向成長でエピタキシャルシリコン膜14で覆われるものの、中央部まではエピタキシャルシリコン膜14が到達しないようCVD条件を設定する。

【0047】次に図8(c)に示すように、エピタキシャルシリコン膜14上に膜厚約10nmの酸化膜からなるゲート絶縁膜15と、その上に膜厚約300nmのリンをドープしたポリシリコン膜からなるゲート電極16とを形成する。次に、ゲート電極16をマスクにして、  
10 エピタキシャルシリコン膜14中に、Asイオンを加速電圧20keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件で注入し、約850度でアニールしてN型不純物拡散層であるソース17とドレイン18を形成することでMOSLSIが完成する。このMOSLSIは、図5と同じものである。

【0048】なお、図8(c)に示したこの実施の形態の場合、ソース17、ドレイン18となるN型不純物拡散層をシリコン基板11表面まで形成しているが、ソース17、ドレイン18となるN型不純物拡散層の拡散深さはエピタキシャルシリコン膜14の膜厚以下であっても差し支えない。このように、この図8に示した実施の形態では、第1の隔壁29の幅と第2の隔壁30の幅、エピタキシャルシリコン膜14の成長条件(膜厚、ガス比、成長温度等)を適正化することで、第1の隔壁29上にはエピタキシャルシリコン膜14が成長し、第2の隔壁30上の中央部には成長しないようにできるので、図7に示した実施の形態では必要であった図7(c)のエピタキシャルシリコン膜14の選択的な除去工程が不要になる。

30 [0049]

**【発明の効果】**以上のようにこの発明によれば、ゲート電極下方の半導体薄膜にチャンネルが形成されるが、そのチャンネルの直下に絶縁体からなる隔壁を形成することによって、素子の微細化が進展してもソース・ドレン間を流れるパンチスルーホール電流を完全に抑止することができる。また、チャンネルの直下の隔壁を、絶縁体の内部に導電体を埋め込んだ構成とすることにより、ドレン空乏層の電気力線が導電体で遮断され、ソース側に伝搬しないので、パンチスルーホール電流をより完全に抑止することができる。

【0050】さらに、チャンネルの直下に形成したパンチスルーポジション用の隔壁と、それと同様の隔壁を素子分離用として形成することによって、素子の微細化が進展してもパンチスルーポジション現象を完全に抑制できるとともに、プロセスを複雑化することなく微細な素子分離を実現することができる。また、素子分離用の隔壁を、絶縁体の内部に導電体を埋め込んだ構成とし、導電体を固定電位に接続することにより、絶縁体と半導体基板との界面の電位が安定し、素子分離能力が高められる。

## 50 【図面の簡単な説明】

13

【図1】この発明の半導体装置の第1の実施の形態における断面図。

【図2】この発明の半導体装置の第2の実施の形態における断面図。

【図3】この発明の半導体装置の第3の実施の形態における断面図。

【図4】この発明の半導体装置の第4の実施の形態における断面図。

【図5】この発明の半導体装置の第5の実施の形態における断面図。

【図6】この発明の半導体装置の第6の実施の形態における断面図。

【図7】この発明の半導体装置の製造方法の第1の実施の形態における工程順断面図。

【図8】この発明の半導体装置の製造方法の第2の実施

14

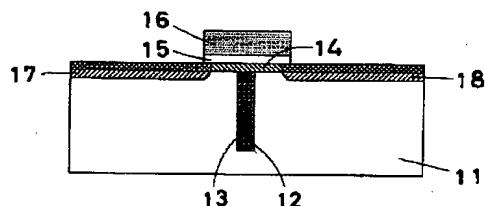
の形態における工程順断面図。

【図9】従来の半導体装置であるMOSFETのパンチスルー状態の説明図。

【符号の説明】

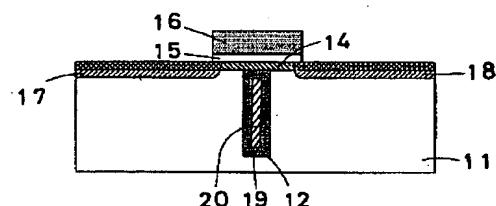
- |                    |              |
|--------------------|--------------|
| 11                 | シリコン基板       |
| 12, 21, 22, 27, 28 | 溝            |
| 13, 23, 24, 29, 30 | 隔壁           |
| 14                 | エピタキシャルシリコン膜 |
| 15                 | ゲート絶縁膜       |
| 16                 | ゲート電極        |
| 17                 | ソース          |
| 18                 | ドレイン         |
| 19, 25, 31         | 絶縁膜          |
| 20, 26, 32, 33     | 導電体          |

【図1】



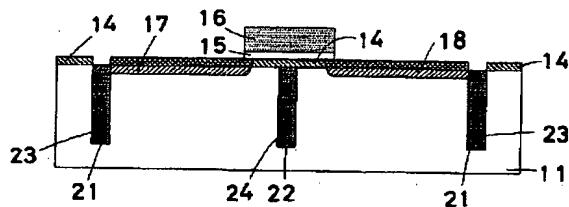
11 シリコン基板(半導体基板)  
12 潛  
13 隔壁  
14 エピタキシャルシリコン膜(半導体膜)  
15 ゲート絶縁膜  
16 ゲート電極  
17 リース  
18 ドレイン

【図2】

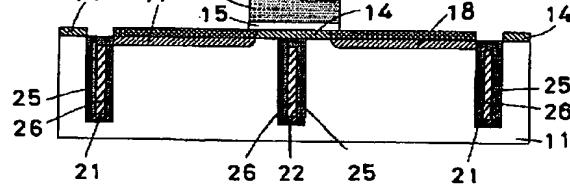


19 絶縁膜  
20 导電体

【図3】

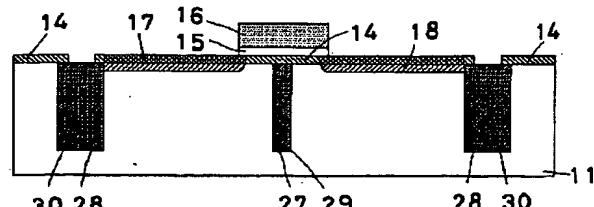


21 第2の溝(素子分離用の溝)  
22 第1の溝(パンチスルー電流阻止用の溝)  
23 第2の隔壁(素子分離用の隔壁)  
24 第1の隔壁(パンチスルー電流阻止用の隔壁)



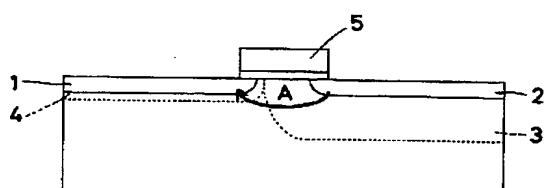
25 絶縁膜  
26 导電体

【図5】

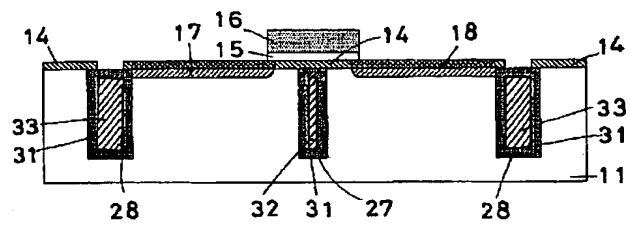


27 幅の狭い第1の溝(パンチスルー電流阻止用の溝)  
28 幅の広い第2の溝(素子分離用の溝)  
29 第1の隔壁(パンチスルー電流阻止用の隔壁)  
30 第2の隔壁(素子分離用の隔壁)

【図9】

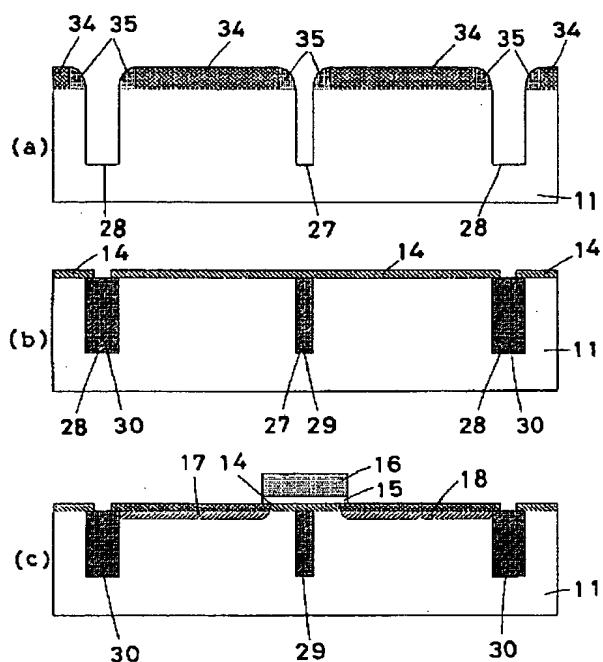


【図6】



32, 31, 33 対応膜

【図8】



【図7】

